

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-008233

(43)Date of publication of application : 12.01.1999

(51)Int.Cl.

H01L 21/316

(21)Application number : 10-128681

(71)Applicant : LG SEMICON CO LTD

(22)Date of filing : 12.05.1998

(72)Inventor : SEOG-CHUL CHUNG

(30)Priority

Priority number : 97 9719120

Priority date : 17.05.1997

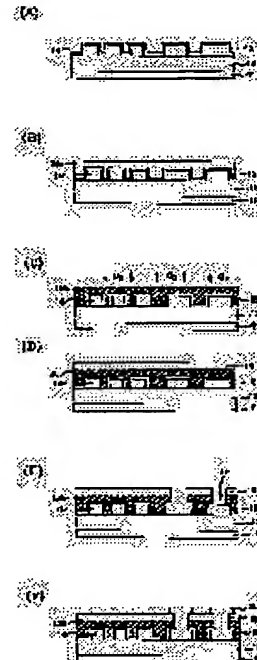
Priority country : KR

(54) METHOD FOR FORMING INORGANIC LAYER IN SEMICONDUCTOR MANUFACTURING PROCESS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for forming an inorganic layer which can be omitted with an etch back process by changing an organic SOG layer, which is formed between metal layer to an inorganic SOG layer, and can prevent the SOG layer from being damaged, when forming a via hole.

SOLUTION: A first conductive layer pattern 14 is formed on a semiconductor substrate, and an organic SOG layer 16a is further formed on the semiconductor substrate made of the first conductive layer pattern 14, followed by heat treatment in an ozone atmosphere so as to change the organic SOG layer 16a into an inorganic SOG layer 16b. Thereafter, a second insulating layer 18 is formed on the inorganic SOG layer 16b, and subsequently a via hole 19 is formed by etching, so that the first conductive layer pattern 14 is exposed, followed by forming a second conductive layer pattern 20 on the second insulating layer including the via hole 19.



LEGAL STATUS

[Date of request for examination] 12.05.1998

[Date of sending the examiner's decision of rejection] 27.02.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-8233

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl.⁶

H 0 1 L 21/316

識別記号

F I

H 0 1 L 21/316

G

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平10-128681

(22) 出願日 平成10年(1998) 5月12日

(31) 優先権主張番号 1 9 1 2 0 / 1 9 9 7

(32) 優先日 1997年 5月17日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 596034274

エルジー セミコン カンパニー リミテ
ッド

大韓民国、チューンチェオンブクド、チ
ェオンジュ、フンダクグ、ヒヤングジェ
オンードン、1

(72) 発明者 セオグーチュル チュン

大韓民国、ソウル、セオダエムンク、ホ
ンジェ 1ーードン、366-24

(74) 代理人 弁理士 笹島 富二雄 (外1名)

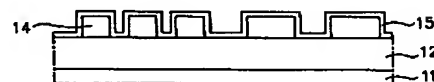
(54) 【発明の名称】 半導体製造工程時の無機層の形成方法

(57) 【要約】

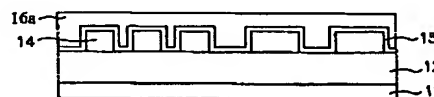
【課題】メタル層間に形成される有機SOG層を無機SOG層に変化させることで、エッチバック工程を省き、かつ、ビアホール形成時にSOG層の損傷を防止し得る無機層の形成方法を提供する。

【解決手段】半導体基板上に第1導電層パターン14を形成し、該第1導電層パターン14を包含する半導体基板上に有機SOG層16aを形成した後、オゾン雰囲気下で熱処理を施して前記有機SOG層16aを無機SOG層16bに変化させる。その後、前記無機SOG層16b上に第2絶縁層を形成し、次いで、上記第1導電層パターン14が露出されるようにエッチングしてビアホールを形成し、該ビアホールを包含する第2絶縁層上に第2導電層パターンを形成する。

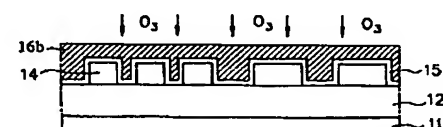
(A)



(B)



(C)



【特許請求の範囲】

【請求項1】半導体の製造工程で無機質の層を形成する方法であって、
半導体基板(11)上に第1導電層パターン(14)を形成する工程と、
該第1導電層パターン(14)を包含した半導体基板(11)上に第1絶縁層(15)を形成する工程と、
該第1絶縁層(15)の上面に有機スピン・オン・ガラス層(16a)を形成する工程と、
該有機スピン・オン・ガラス層(16a)をオゾン(O₃)雰囲気下で熱処理して無機スピン・オン・ガラス層(16b)に変化させる工程と、
上記無機スピン・オン・ガラス層(16b)上に第2絶縁層(18)を形成する工程と、
上記第1導電層パターン(14)が露出されるように、前記第2絶縁層(18)、無機スピン・オン・ガラス層(16b)及び第1絶縁層(15)を夫々エッチングしビアホール(19)を形成する工程と、
該ビアホール(19)を包含した第1絶縁層(15)上に第2導電層パターン(20)を形成する工程と、
を順次行うことを特徴とする半導体製造工程時の無機層の形成方法。

【請求項2】上記オゾン雰囲気下で熱処理する工程が、チャンパー又は炉で行われ、該チャンパー又は炉内の圧力条件を1～10 torrとし、オゾン/酸素の濃度を2～12 wt%とし、かつ、オゾンガスの流れ条件を1000～5000 sccmとすることを特徴とする請求項1記載の半導体製造工程時の無機層の形成方法。

【請求項3】上記オゾン雰囲気下で熱処理をする工程及び上記第2絶縁層(18)を形成する工程が、同一のチャンパー又は炉内で連続して行われることを特徴とする請求項1又は2記載の半導体製造工程時の無機層の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子の層間絶縁層に係るもので、詳しくは、通常、メタル層間の平坦化工程で用いる有機物質層を変化させ、無機物質層を形成する方法に関するものである。

【0002】

【従来の技術】一般に、メタル層間の平坦化工程には、スピン・オン・ガラス(Spin On Glass:以下、SOGと略す)が広く用いられているが、該SOGは炭素成分の含有の有無に応じて、炭素成分を含有する有機SOG及び炭素成分を含有しない無機SOGとに大別される。

【0003】ここで、無機SOGを用いた従来のメタル層間の平坦化工程を、図3及び図4に基づいて以下に説明する。先ず、図3(A)に示したように、半導体基板1上に基底層(Bottom layer)2を形成し、該基底層2上に第1導電層パターン4を所定間隔をおいて形成し、

該第1導電層パターン4を包含した上記半導体基板1上にプラズマ化学気相蒸着(Plasma Enhanced Chemical Vapor Deposition;以下、PECVDと略す)方法により第1絶縁層5を形成する。

【0004】次いで、図3(B)に示したように、上記第1絶縁層5上に平坦化のために流動性の低い無機SOGを均一な高さに塗布し、熱処理を施して無機SOG層6を形成する。次いで、図3(C)に示したように、上記無機SOG層6上に第2絶縁層7をPECVD方法により形成し、上記第2絶縁層7上に感光層パターン(図示省略)を形成する。

【0005】次いで、図4(D)に示したように、上記感光層パターンをマスクとして、上記第1導電層パターン4上の所定領域が露出されるように上記第2絶縁層7、無機SOG層6及び第1絶縁層5を夫々エッチングしてビアホール8を形成する。最後に、図4(E)に示したように、上記ビアホール8及び第2絶縁層7の所定部位上に第2導電層パターン9を形成して、無機SOG層6を用いた従来のメタル層間の平坦化工程を終了していた。

【0006】又、有機SOGを用いた従来のメタル層間の平坦化工程を、図5及び図6に基づいて以下に説明する。先ず、図5(A)に示したように、半導体基板1上に基底層(Bottom layer)2を形成し、該基底層2上に第1導電層パターン4を所定間隔をおいて形成し、該第1導電層パターン4を包含した上記半導体基板1上に第1絶縁層5をPECVD方法により形成する。

【0007】次いで、図5(B)に示したように、上記第1絶縁層5上に平坦化のために流動性の高い有機SOGを均一な高さに塗布し、熱処理を施して有機SOG層3を形成する。このとき、有機SOG層3は上記熱処理を施すと一層平坦化される。次いで、図5(C)に示したように、上記第1導電層パターン4上に形成された上記第1絶縁層5の上面が露出するまで、上記有機SOG層3をエッチバックする。

【0008】次いで、図6(D)に示したように、上記露出された第1絶縁層5及びエッチングされた有機SOG層3の上面に第2絶縁層7をPECVD方法により形成する。次いで、図6(E)に示したように、上記第2絶縁層7上に感光性パターン(図示省略)を形成した後、それをマスクとして上記第1導電層パターン4上の所定領域が露出するように上記第2絶縁層7及び第1絶縁層5をエッチングしてビアホール8を形成する。

【0009】最後に、図6(F)に示したように、上記ビアホール8及び第2絶縁層7の所定部位上に第2導電層パターン9を形成して、有機SOG3を用いた従来のメタル層間の平坦化工程を終了していた。

【0010】

【発明が解決しようとする課題】ところで、前述のような無機SOGを用いた従来のメタル層間の平坦化工程に

においては、ビアホールを形成するとき施すエッチング時に、感光層パターン及び前記ビアホール内の酸素と炭素成分の含有されてない無機SOGとが反応しないため、該無機SOGに損傷を与えないという長所はあるが、反面、炭素成分を含有しないため熱処理を行うとき無機SOGを構成する原子の再配列が無く、流動性も低いため、平坦度の特性が低下するという不都合な点があった。

【0011】一方、有機SOGを用いた従来のメタル層間の平坦化工程においては、必ず有機SOG層をエッチングしなければならず、ビアホールを形成するためにエッチングを施す時に添加される酸素と、エッチング後に感光層パターン及びビアホール領域内の残留物質の除去時の酸素プラズマとが、有機SOGの炭素成分と反応して有機SOG層が損傷されるという不都合な点があった。

【0012】又、DRAMを製造する場合、セル領域と周辺領域との初期標高差により、ビアホールの形成された領域内の有機SOGをエッチバックして除去するとき、絶縁層／有機SOG層のエッチング選択比(etching selectivity)の調節が難しいため、該エッチングにより導電層が損傷を受け、工程マージン(process margin)が狭くなり、且つ、ローディング効果(loading effect)に起因して平坦度の特性も悪くなるという不都合な点があった。

【0013】そこで、本発明は、メタル層間に形成された有機物質層を化学的に処理(chemical process)して無機物質層に変化させ、エッチバック工程を省いた半導体製造工程時の無機層の形成方法を提供することを目的とする。また、本発明は、ビアホールを形成する場合、及び、該ビアホールの残留物質を除去する場合において、SOG層の損傷を防止し得る半導体製造工程時の無機層の形成方法を提供することを目的とする。

【0014】更に、本発明は、優秀な平坦度の特性を有する半導体製造工程時の無機層の形成方法を提供することを目的とする。

【0015】

【課題を解決するための手段】このような目的を達成するため、請求項1記載の発明は、半導体の製造工程で無機質の層を形成する方法であって、半導体基板(11)上に第1導電層パターン(14)を形成する工程と、該第1導電層パターン(14)を包含した半導体基板(11)上に第1絶縁層(15)を形成する工程と、該第1絶縁層(15)の上面に有機スピン・オン・グラス層(16a)を形成する工程と、該有機スピン・オン・グラス層(16a)をオゾン(O₃)雰囲気下で熱処理して無機スピン・オン・グラス層(16b)に変化させる工程と、上記無機スピン・オン・グラス層(16b)上に第2絶縁層(18)を形成する工程と、上記第1導電層パターン(14)が露出されるように、前記第2絶縁

層(18)、無機スピン・オン・グラス層(16b)及び第1絶縁層(15)を夫々エッチングしビアホール(19)を形成する工程と、該ビアホール(19)を包含した第1絶縁層(15)上に第2導電層パターン(20)を形成する工程と、を順次行うことを特徴とする。【0016】かかる工程によると、流動性の高い有機SOG層を形成させることで、高い平坦度が得られる一方、該有機SOG層をオゾン(O₃)雰囲気下で熱処理して無機SOG層に変化させることから、その後のビアホール形成のためのエッチング時に、SOG層に損傷を与えることがない。請求項2記載の発明では、上記オゾン雰囲気下で熱処理する工程が、チャンバー又は炉で行われ、該チャンバー又は炉内の圧力条件を1~10 torrとし、オゾン/酸素の濃度を2~12 wt%とし、かつ、オゾンガスの流れ条件を1000~5000 sccmとする構成とした。

【0017】上記条件により、有機SOG層が、無機SOG層に安定的に変化することになる。請求項3記載の発明では、上記オゾン雰囲気下で熱処理をする工程及び上記第2絶縁層(18)を形成する工程が、同一のチャンバー又は炉内で連続して行われる構成とした。

【0018】上記構成により、オゾン雰囲気下で熱処理をする工程と上記第2絶縁層(18)を形成する工程とが個別に行われる場合に比べて工程が単純化されることになる。

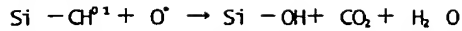
【0019】

【発明の実施の形態】以下、本発明の実施の形態を、図面を用いて説明する。本発明に係る半導体製造工程時の無機層の形成方法においては、先ず、図1(A)に示したように、半導体基板11上に基底層(Bottom layer)12を形成し、該基底層12上に第1導電層パターン14を所定間隔をおいて形成し、該第1導電層パターン14を包含した上記基底層12上にPECVD方法により第1絶縁層15を形成する。

【0020】次いで、図1(B)に示したように、上記第1絶縁層15上に均一な高さの有機SOG層16a(Si-CH₃構造)を形成する。該有機SOG層16aは多量のCH₃を含有して熱処理によるリフロー(reflow)特性が優れるため、平坦化物質として好適に用いられる。次いで、図1(C)に示したように、上記有機SOG層16aを包含する上記半導体基板11をチャンバー又は炉(furnace)(図示省略)内に装入した後、オゾン(O₃)雰囲気下で熱処理を施し、上記有機SOG層16aを化学的に処理して無機SOG層(Si-O)16bに変化させる。この場合、上記チャンバー又は炉の圧力条件は1~10 torrで、オゾン(O₃)対酸素(O₂)の濃度条件は2~12 wt%で、オゾンガスの流れ条件は1000~5000 sccmである。ここで、上記ガスの流れ度の単位sccmは、Standard Cubic Cm/Minの略字であり、このような条件下での反応式は次のよう

に表示される。

【0021】



次いで、図2(D)に示したように、上記無機SOG層16b上に第2絶縁層18をPECVD方法により蒸着する。次いで、図2(E)に示したように、上記第2絶縁層18上に感光性パターン(図示省略)を形成し、それをマスクとして上記第1導電層パターン14上の所定領域が露出するように、上記第2絶縁層18、無機SOG層16b及び第1絶縁層15を夫々エッチングしてビアホール19を形成する。このとき、無機化された上記SOG層16bは、ビアホール19を形成するとき添加される微量の酸素と、エッチング後ビアホール19の内部に存在する残留物質及び感光層の除去時の酸素プラズマと、反応しないため、何の損傷も受けない。

【0022】最後に、図2(F)に示したように、上記ビアホール19を包含した上記第2絶縁層18の所定部位上に第2導電層パターン20を形成して、本発明に係る半導体製造工程時の無機層の形成方法を終了する。

【0023】

【発明の効果】以上説明したように、本発明に係る半導体製造工程時の無機層の形成方法においては、エッチバック工程を省いて無機物質層を形成するようになっていたため、絶縁層/SOG層間のエッチング選択比の調節及び工程上のマージンの問題が解決され、無機SOGに変化する以前の有機SOGの有する初期平坦化状態をそのまま維持するという効果がある。且つ、変化した無機SOG層によりビアホール形成する時の酸素プラズマに*

*に対する抵抗力を向上させて、SOG層の損傷を防止し得るという効果がある。

【0024】又、オゾン雰囲気下での熱処理及び第2絶縁層の蒸着を同一のチャンバー、又は炉内で行うため、工程を単純化し得るという効果がある。

【図面の簡単な説明】

【図1】本発明に係る半導体製造時の無機層の形成方法を示した工程縦断面図である。

【図2】本発明に係る半導体製造時の無機層の形成方法を示した工程縦断面図である。

【図3】従来の無機SOGを用いたメタル層間の平坦化工程を示した縦断面図である。

【図4】従来の無機SOGを用いたメタル層間の平坦化工程を示した縦断面図である。

【図5】従来の有機SOGを用いたメタル層間の平坦化工程を示した縦断面図である。

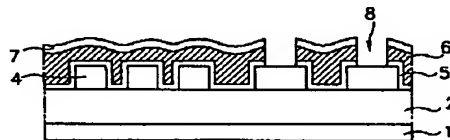
【図6】従来の有機SOGを用いたメタル層間の平坦化工程を示した縦断面図である。

【符号の説明】

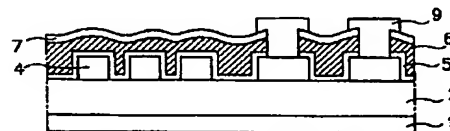
- 11: 半導体基板
- 12: 基底層(Bottom layer)
- 14: 第1導電層パターン
- 15: 第1絶縁層
- 16a: 有機SOG層
- 16b: 無機SOG層
- 18: 第2絶縁層
- 19: ビアホール
- 20: 第2導電層パターン

【図4】

(D)



(E)

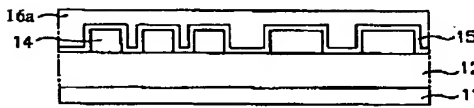


【図 1】

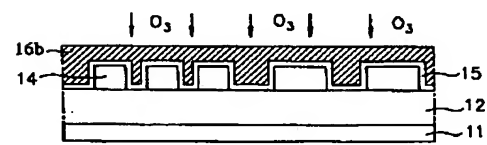
(A)



(B)



(C)

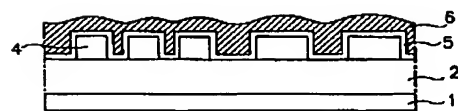


【図 3】

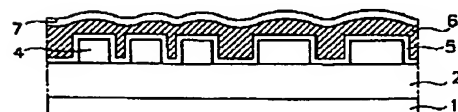
(A)



(B)

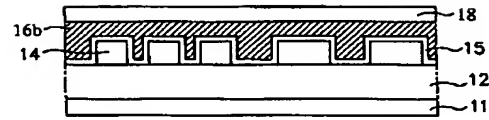


(C)

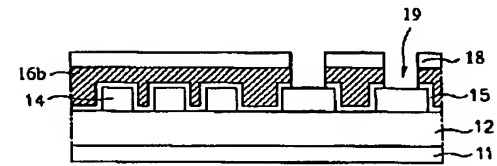


【図 2】

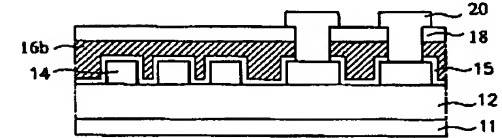
(D)



(E)

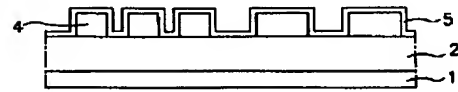


(F)

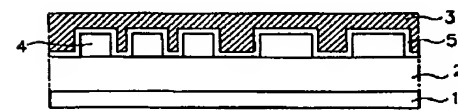


【図 5】

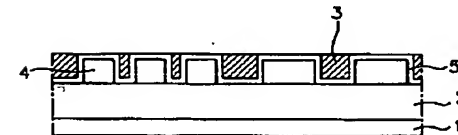
(A)



(B)

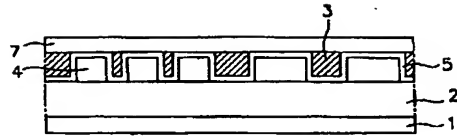


(C)

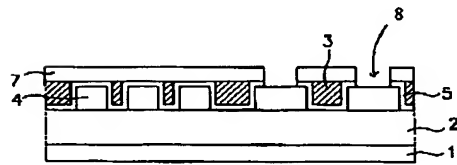


【図 6】

(D)



(E)



(F)

